

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

#2
US
JC836 U.S. PTO
09/627418
07/27/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年 7月30日

出願番号

Application Number:

平成11年特許願第217085号

出願人

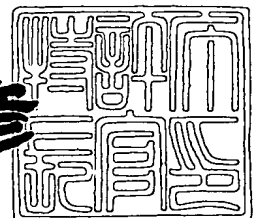
Applicant(s):

日本電気株式会社

2000年 4月 7日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



出証番号 出証特2000-3024355

【書類名】 特許願

【整理番号】 74111910

【提出日】 平成11年 7月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/768

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 宇佐美 達矢

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100086645

 【弁理士】

 【氏名又は名称】 岩佐 義幸

 【電話番号】 03-3861-9711

【手数料の表示】

 【予納台帳番号】 000435

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9001715

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

複数の Cu 配線を有する半導体装置において、絶縁膜として少なくとも 1 部に HSQ (Hydrogen Silsesquioxane) を用いた材料を使用し、その HSQ と接する部分の Cu 濃度が $10^{19} \text{ atoms/cm}^3$ 以上であることを特徴とする半導体装置。

【請求項 2】

複数の Cu 配線を有する半導体装置において、絶縁膜として少なくとも 1 部に HSQ を用いた材料を使用し、HSQ と Cu 配線との間に密着用メタルを有することを特徴とする半導体装置。

【請求項 3】

前記密着用メタルは、Cu と研磨レートの差が小さいことを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記密着用メタルが W (タングステン) であることを特徴とする請求項 2 または 3 に記載の半導体装置。

【請求項 5】

複数の Cu 配線を有する半導体装置の製造方法において、

第 1 の Cu 配線上に Cu 拡散バリア性を有する第 1 の低誘電率層間絶縁膜を形成する工程と、

前記第 1 の低誘電率層間絶縁膜にビアホールを形成し、ビアホール内部に Cu を埋設して Cu プラグを形成する工程と、

さらに、全面に Cu 拡散バリア性を有する第 2 の低誘電率層間絶縁膜を形成する工程と、

前記第 2 の低誘電率層間絶縁膜に開口部を形成し、開口部内部に Cu を埋設して前記 Cu プラグに接続される第 2 の Cu 配線を形成する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項 6】

前記 Cu プラグの側壁に前記第 1 の低誘電率層間絶縁膜と Cu プラグとの密着性を高めるための密着用メタルを形成する工程を含むことを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

前記第 1 および第 2 の低誘電率層間絶縁膜が HSQ 膜であることを特徴とする請求項 5 または 6 に記載の半導体装置の製造方法。

【請求項 8】

前記密着用メタルは、Cu と研磨レートの差が小さいことを特徴とする請求項 6 または 7 に記載の半導体装置の製造方法。

【請求項 9】

前記密着用メタルが W (タングステン) であることを特徴とする請求項 6 ～ 8 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メタル配線用の層間絶縁膜、特に Cu 配線用の層間絶縁膜を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

半導体装置は、高集積化に伴って多層配線構造が採用され、配線の高密度化も進められている。また、近年においては、配線の低抵抗化、デバイスの高速化を目的として配線及びプラグに Cu を用い、層間絶縁膜に低誘電率 (Low-k) 膜を用いた半導体装置が開発されている。この Cu を配線に用いた半導体装置では、層間絶縁膜中に Cu が拡散しやすく、隣接配線間にリーク電流が発生する。そのため、配線及びプラグと層間絶縁膜との間には、バリアメタルといわれる Cu の拡散を防止する膜が必要である。

【0003】

図 18 は、従来の半導体装置の断面図である。Cu 配線 21 上には、プラズマ

SiN膜22、有機ポリマー膜23、プラズマSiN膜27が順次積層して形成されている。プラズマSiN膜22、有機ポリマー膜23、プラズマSiN膜27にはビアホールが形成されており、ビアホール内壁にはTa₂N₅膜24が形成されている。Ta₂N₅膜24の内側にはシードCu膜25が形成されており、シードCu膜25の内側にはメッキCu膜26が埋設されており、シードCu膜25とメッキCu膜26とによりプラグを形成している。

【0004】

さらに、全面にプラズマSiN膜28、有機ポリマー膜29、プラズマSiN膜33が順次積層して形成されている。プラズマSiN膜28、有機ポリマー膜29、プラズマSiN膜33には開口部が形成されており、開口部内壁にはTa₂N₅膜30が形成されている。Ta₂N₅膜30の内側にはシードCu膜31が形成されており、シードCu膜31の内側にはメッキCu膜32が埋設されており、シードCu膜31とメッキCu膜32とによりCu配線を形成している。

【0005】

図19および図20は、低誘電率の層間絶縁膜として有機ポリマーを用い、バリアメタルとしてTa₂N₅を用いた従来の半導体装置の製造方法を示す工程断面図である。

【0006】

まず、図19(A)に示すように、Cu配線21上にプラズマSiN膜22をCVD法により500Å形成し、その上に有機ポリマー膜23としてPAE（ポリアリルエーテル）を約4000Å塗布・焼成する。さらに、その上にプラズマSiN膜27をCVD法により1000Å形成する。

【0007】

次に、図19(B)に示すように、プラズマSiN膜27の上にフォトレジスト34を形成してフォトレジスト34をパターニングする。次に、図19(C)に示すように、そのフォトレジスト34をマスクとしてプラズマSiN膜27をエッチング除去し、その後、図19(D)に示すように、O₂ガスによりフォトレジスト34と有機ポリマー膜23とを同時にエッチング除去する。

【0008】

次に、エッチバックによりプラズマSiN膜22およびプラズマSiN27膜をエッチングし、図20(E)に示すように、全面にバリアメタルとしてイオン化スパッタ法によりTa₂N₅膜24を200Å形成する。さらに、図20(F)に示すように、シードCu膜25をスパッタ法により1000Å形成後、図20(G)に示すように、メッキCu膜26を8000Å埋設する。次に、図20(H)に示すように、シードCu膜25とメッキCu膜26とTa₂N₅膜24を化学的機械研磨(CMP: Chemical Mechanical Polishing)法を用いて除去してプラグを形成する。

【0009】

さらに、同様の工程を繰り返してCu配線を形成し、図18に示す半導体装置を得る。

【0010】

【発明が解決しようとする課題】

上述した従来の半導体装置では、有機ポリマーは、Cu拡散バリア性に優れていないため、バリアメタルの膜厚を比較的厚く(500Å以上)せざるを得ず、かつバリア性のあるTa₂N₅は、Cuと研磨レートの差が大きいため、Cu膜とTa₂N₅バリアメタル層のCMP時に、図20(H)に示すように、Cu膜にディッシング、リセスなどが発生し易い。

【0011】

また、図21に示すように、SiNエッチバックまたはスパッタ前RFエッチングの際には、ビア・ホールの側壁にCuが付着して有機ポリマー(Low-k)中にCuが拡散してしまうという可能性がある。

【0012】

さらに、図22に示すように、デュアルダマシンなどの構造では、バリアメタルの埋設が高アスペクト比になり、特に底部付近のサイド部分ではバリアメタルが薄くなってしまふ。さらに、下のCu配線とのマージンがとれない場合には、目ずれを起こしてしまい、下の絶縁膜に穴を開けた状態になる。そうすると通常の見ずれがない場合よりもここが細くなって深くなるのでこの部分のバリアメタルの膜厚が薄くなってしまふ。バリアメタルはある程度の膜厚がないとCuの拡

散バリアとして機能せず、Cuが絶縁膜中に拡散してしまう。したがって、層間絶縁膜側にある程度Cu拡散バリア性が必要とされる。

【0013】

本発明の目的は、層間絶縁膜にCu拡散バリア性を備える半導体装置及びその製造方法を提供することにある。

【0014】

【課題を解決するための手段】

本発明は、複数のCu配線を有する半導体装置において、絶縁膜として少なくとも1部にHSQ (Hydrogen Silsesquioxane) を用いた材料を使用し、そのHSQと接する部分のCu濃度が $10^{19} \text{ atoms/cm}^3$ 以上であることを特徴とする。

【0015】

また、本発明は、複数のCu配線を有する半導体装置において、絶縁膜として少なくとも1部にHSQを用いた材料を使用し、HSQとCu配線との間に密着用メタルを有することを特徴とする。

【0016】

また、本発明は、複数のCu配線を有する半導体装置の製造方法において、第1のCu配線上にCu拡散バリア性を有する第1の低誘電率層間絶縁膜を形成する工程と、

前記第1の低誘電率層間絶縁膜にビアホールを形成し、ビアホール内部にCuを埋設してCuプラグを形成する工程と、

さらに、全面にCu拡散バリア性を有する第2の低誘電率層間絶縁膜を形成する工程と、

前記第2の低誘電率層間絶縁膜に開口部を形成し、開口部内部にCuを埋設して前記Cuプラグに接続される第2のCu配線を形成する工程と、を含むことを特徴とする。

【0017】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して説明する。

【0018】

図1は、本発明の半導体装置の第1の実施の形態を示す断面図である。Cu配線1上には、プラズマSiN膜2、HSQ膜3、プラズマSiN膜7が順次積層して形成されている。プラズマSiN膜2、HSQ膜3、プラズマSiN膜7にはビアホールが形成されており、ビアホール内壁には密着用メタルとしてW（タングステン）膜4が形成されている。W膜4の内側にはシードCu膜5が形成されており、シードCu膜5の内側にはメッキCu膜6が埋設されており、シードCu膜5とメッキCu膜6とによりプラグを形成している。

【0019】

さらに、全面にプラズマSiN膜8、HSQ膜9、プラズマSiN膜13が順次積層して形成されている。プラズマSiN膜8、HSQ膜9、プラズマSiN膜13には開口部が形成されており、開口部内壁にはW膜10が形成されている。W膜10の内側にはシードCu膜11が形成されており、シードCu膜11の内側にはメッキCu膜12が埋設されており、シードCu膜11とメッキCu膜12とによりCu配線を形成している。

【0020】

隣接するCu配線との最小間隔は、約0.2～0.3ミクロンである。また、この実施の形態では、シングルダマシン構造をとっているが、デュアルダマシン構造の方が有用である。

【0021】

次に、HSQがCu拡散バリア性を有することを説明する。

【0022】

図2および図3は、P型シリコン基板上に低誘電率膜（Low-k）を乗せ、Hg電極を付けて電界をかけた時に流れるリーク電流を測定した特性図であり、図2は、熱処理を行わなかった場合を示しており、図3は、実際に7層配線のデバイスを作るときの温度と時間に相当する400℃7時間の熱処理を行った場合を示している。

【0023】

図2および図3を比較し、熱処理をかけてリーク電流に変動があるかどうかで

Cu拡散バリア性が判断される。拡散しているとCuのイオンが低誘電率膜(Low-k)に入り込んでリーク電流が大きくなり、リーク電流が大きくなる場合がCu拡散バリア性がないと判断される。図3を見ると、Organic Polymer (有機ポリマー) 2は、リーク電流が多くなっているのがわかる。

【0024】

図4および図5は、P型シリコン基板上にバリアメタルTaがあって、その上にCuを乗せ、さらに低誘電率膜(Low-k)を乗せ、Hg電極を付けて電界をかけた時に流れるリーク電流を測定した特性図であり、図4は、熱処理を行わなかった場合を示しており、図5は、400℃7時間の熱処理を行った場合を示している。

【0025】

図5を見ると、Organic Polymer 1, 2およびInorganic Polymer (無機ポリマー) 1は、リーク電流が多くなっており、HSQ膜は、リーク電流があまり大きくならない。

【0026】

図6は、SIMS分析により400℃7時間の熱処理を行った場合の深さ方向のCuの濃度を測定した特性図である。図6によると、Inorganic Polymer 1は、Cu界面から1000Åの位置で 10^{19} atoms/cm³ 台のCu濃度が存在するが、HSQは 10^{18} atoms/cm³ にとどまっていることがわかる。また、Inorganic Polymer 1が1000ÅのCu拡散があるのに対し、HSQは約500ÅとCu拡散が少ないことがわかる。また、この結果より、絶縁膜中では 10^{19} atoms/cm³ 台レベルでリーク電流に問題が発生することがわかった。

【0027】

なお、図2～図6において、プラズマSiN (PESiN) は、比較のために入れたものである。

【0028】

以上の測定結果により、HSQ膜は、Cu拡散バリア性が有ると判断される。

【0029】

図7は、HSQ膜の熱処理前後のCu濃度を測定した特性図である。400℃7時間熱処理を行った場合は、Cu界面から500Åの深さまでは拡散があるが、それ以上では拡散がないことがわかる。

【0030】

ここでは縦方向についての拡散をみているが、横方向の拡散でも同様である。

【0031】

次に、図1に示す半導体装置の製造方法を図8～図11の工程断面図を参照して説明する。

【0032】

まず、図8(A)に示すように、Cu配線1上にプラズマSiN膜2を500Å形成し、その上にHSQ(Hydrogen Silsesquioxane)膜3を約4000Å塗布・焼成する。さらに、その上にプラズマSiN膜7を1000Å形成する。プラズマSiN膜2、7は、強度のないHSQ膜3を保護するためのものであり、プラズマSiN膜2は、SiC膜でもよく、プラズマSiN膜7は、SiO₂膜でもよい。

【0033】

次に、図8(B)に示すように、プラズマSiN膜7の上にフォトレジスト14を形成してフォトレジスト14をパターニングする。次に、図8(C)に示すように、そのフォトレジスト14をマスクにしてプラズマSiN膜7とHSQ膜3をエッチングする。その後、図8(D)に示すように、フォトレジスト14をO₂プラズマアッシングにより除去する。この際、Cuが酸素に曝されると酸化するので、曝されない状態でアッシングする。

【0034】

次に、エッチバックによりプラズマSiN膜2およびプラズマSiN7膜をエッチングし、図9(E)に示すように、全面に、HSQ膜3との密着性を高めるための密着用メタルとしてW膜4を200Å形成する。さらに、図9(F)に示すように、シードCu膜5を1000Å形成後、図9(G)に示すように、メッキCu膜6を8000Å埋設する。次に、図9(H)に示すように、シードCu膜5とメッキCu膜6とW膜4をCMP法を用いて除去する。

【0035】

次に、図10(I)に示すように、全面にプラズマSiN膜8を500Å形成し、その上にHSQ膜9を約4000Å塗布・焼成する。さらに、その上にプラズマSiN膜13をCVD法により1000Å形成する。

【0036】

次に、図10(J)に示すように、プラズマSiN膜の上にフォトレジスト15を形成してフォトレジスト15をパターニングする。次に、図10(K)に示すように、そのフォトレジスト15をマスクにしてプラズマSiN膜13とHSQ膜9をエッチングする。その後、図10(L)に示すように、フォトレジスト15をO₂ プラズマアッシングにより除去する。

【0037】

次に、図11(M)に示すように、エッチバックによりプラズマSiN膜8およびプラズマSiN膜13をエッチングし、図11(N)に示すように、全面に密着用メタルとしてW膜10をイオン化スパッタ法により200Å形成する。さらに、図11(O)に示すように、シードCu膜11をイオン化スパッタ法により1000Å形成後、メッキCu膜12を8000Å埋設する。次に、図11(P)に示すように、シードCu膜11とメッキCu膜12とW膜10をCMP法を用いて除去する。

【0038】

上述した工程により、図1に示す半導体装置を得ることができる。

【0039】

この第1の実施の形態では、密着用メタルとして、Cuと研磨レートの差が小さいWを用いているので、Cu膜とWバリアメタル層のCMP時に、Cu膜にデイスシング、リセスなどが発生しない。

【0040】

なお、上述した第1の実施の形態では、HSQ膜とCuプラグとの間に密着用メタルとしてW膜を設けたが、本発明は、HSQ膜がCu拡散バリア性を備えているので、HSQ膜とCuプラグとの間に密着用メタルを設けない場合にも適用あるものである。

【0041】

次に、本発明の半導体装置の第2の実施の形態について説明する。

【0042】

図12は、本発明の半導体装置の第2の実施の形態を示す断面図である。Cu配線101上には、HSQ膜102、PAE（ポリアリルエーテル）膜103、HSQ膜107が順次積層して形成されている。HSQ膜102、PAE膜103、HSQ膜107にはビアホールが形成されており、ビアホール内壁にはTa₂N₅膜104が形成されている。Ta₂N₅膜104の内側にはシードCu膜105が形成されており、シードCu膜105の内側にはメッキCu膜106が埋設されており、シードCu膜105とメッキCu膜106とによりプラグを形成している。

【0043】

さらに、全面にHSQ膜108、PAE膜109、HSQ膜113が順次積層して形成されている。HSQ膜108、PAE膜109、HSQ膜113には開口部が形成されており、開口部内壁にはTa₂N₅膜110が形成されている。Ta₂N₅膜110の内側にはシードCu膜111が形成されており、シードCu膜111の内側にはメッキCu膜112が埋設されており、シードCu膜111とメッキCu膜112とによりCu配線を形成している。

【0044】

この第2の実施の形態では、従来のSiNの誘電率が7～8であるのに対し、HSQの誘電率が3であるため、上下Cu配線間の配線間容量を低減することができる。

【0045】

次に、図12に示す半導体装置の製造方法を図13～図17の工程断面図を参照して説明する。

【0046】

まず、図13（A）に示すように、Cu配線101上にHSQ膜102を約1000Å塗布・焼成し、その上にPAE膜103を約4000Å塗布・焼成する。さらに、その上にHSQ膜107を1500Å塗布・焼成する。

【0047】

その後、図13 (B) に示すように、HSQ膜107上にフォトレジスト114を形成してフォトレジスト114をパターニングし、図13 (C) に示すように、そのフォトレジスト114をマスクにしてHSQ膜107を加工する。

【0048】

次に、図13 (D) に示すように、フォトレジスト114とPAE膜103とを同時に O_2 ガスによりエッチング除去する。このとき、HSQ膜102をエッチングストッパーとする。次に、図14 (E) に示すように、全体をエッチバックし、Cu配線101を露出させる。

【0049】

その後、図14 (F) に示すように、Ta₂N膜104をイオン化スパッタ法により約200 Å形成する。次に、図14 (G) に示すように、シードCu膜105をイオン化スパッタ法により300 Å形成し、メッキCu膜106を埋設する。次に、図14 (H) に示すように、余分なメッキCu膜106、シードCu膜105、Ta₂N膜104をCMP法により除去する。

【0050】

次に、図15 (I) に示すように、全面にHSQ膜108を1000 Å塗布・焼成し、その上に、図15 (J) に示すように、PAE膜109を4000 Å形成する。その後、図15 (K) に示すように、HSQ膜113を1500 Å塗布・焼成する。

【0051】

次に、図16 (L) に示すように、溝配線形成予定部分にフォトレジスト115をパターニングし、図16 (M) に示すように、そのフォトレジスト115をマスクにHSQ膜113を加工する。

【0052】

次に、図16 (N) に示すように、フォトレジスト115とPAE膜109とを同時に O_2 ガスによりエッチング除去し、その後、図17 (O) に示すように、HSQ膜108をエッチバックしてシードCu膜105、メッキCu膜106を露出させる。

【0053】

次に、図17(P)に示すように、Ta₂N膜110、シードCu膜111を順次スパッタ法によりそれぞれ200Å、300Å形成し、メッキCu膜112を埋設する。その後、図17(Q)に示すように、余分なメッキCu膜112、シードCu膜111、Ta₂N膜110をCMP法により除去する。

【0054】

上述した工程により、図12に示す半導体装置を得ることができる。

【0055】

なお、上述した第1及び第2の実施の形態では、2層配線構造の場合について説明したが、本発明は、より多層の配線構造にも適用あるものである。

【0056】

【発明の効果】

以上説明したように、本発明の第1の実施の形態では、HSQ膜がCu拡散バリア性に優れているため、Cu膜の下の密着用メタルとしてCuの拡散バリア性のないものを使用しても配線間リーク電流が発生しない。また、Cu膜の下の密着用メタルは、Cu-CMPでCuと選択比が低いものを選択できるため、Cuのディッシング、リセスが発生しない。

【0057】

また、本発明の第2の実施の形態では、従来のSiNの誘電率が7～8であるのに対し、HSQの誘電率が3であるため、上下Cu配線間の配線間容量を低減することができる。

【図面の簡単な説明】

【図1】

本発明の半導体装置の第1の実施の形態を示す断面図である。

【図2】

P型シリコン基板上に低誘電率膜を乗せ、Hg電極を付けて電界をかけた時に流れるリーク電流を測定した特性図（熱処理を行わなかった場合）である。

【図3】

P型シリコン基板上に低誘電率膜を乗せ、Hg電極を付けて電界をかけた時に

流れるリーク電流を測定した特性図（熱処理を行った場合）である。

【図 4】

P型シリコン基板上にTa、Cu、低誘電率膜を乗せ、Hg電極を付けて電界をかけた時に流れるリーク電流を測定した特性図（熱処理を行わなかった場合）である。

【図 5】

P型シリコン基板上にTa、Cu、低誘電率膜を乗せ、Hg電極を付けて電界をかけた時に流れるリーク電流を測定した特性図（熱処理を行った場合）である。

【図 6】

シムス分析により深さ方向のCuの濃度を測定した特性図である。

【図 7】

HSQ膜の熱処理前後のCu濃度を測定した特性図である。

【図 8】

本発明の第1の実施の形態に係る半導体装置の製造方法を説明する工程断面図である。

【図 9】

本発明の第1の実施の形態に係る半導体装置の製造方法を説明する工程断面図である。

【図 10】

本発明の第1の実施の形態に係る半導体装置の製造方法を説明する工程断面図である。

【図 11】

本発明の第1の実施の形態に係る半導体装置の製造方法を説明する工程断面図である。

【図 12】

本発明の半導体装置の第2の実施の形態を示す断面図である。

【図 13】

本発明の第2の実施の形態に係る半導体装置の製造方法を説明する工程断面図

である。

【図 1 4】

本発明の第 2 の実施の形態に係る半導体装置の製造方法を説明する工程断面図である。

【図 1 5】

本発明の第 2 の実施の形態に係る半導体装置の製造方法を説明する工程断面図である。

【図 1 6】

本発明の第 2 の実施の形態に係る半導体装置の製造方法を説明する工程断面図である。

【図 1 7】

本発明の第 2 の実施の形態に係る半導体装置の製造方法を説明する工程断面図である。

【図 1 8】

従来の半導体装置の断面図である。

【図 1 9】

従来の半導体装置の製造方法を示す工程断面図である。

【図 2 0】

従来の半導体装置の製造方法を示す工程断面図である。

【図 2 1】

ビア・ホールの側壁に Cu が付着する状態を説明する図である。

【図 2 2】

目ずれを起こしてバリアメタルの膜厚が薄くなってしまう状態を示す図である。

【符号の説明】

1, 1 0 1 Cu 配線

2, 7, 8, 1 3 プラズマ Si N 膜

3, 9, 1 0 2, 1 0 7, 1 0 8, 1 1 3 HSQ 膜

4, 1 0 W 膜

5, 11, 105, 111 シードCu膜

6, 12, 106, 112 メッキCu膜

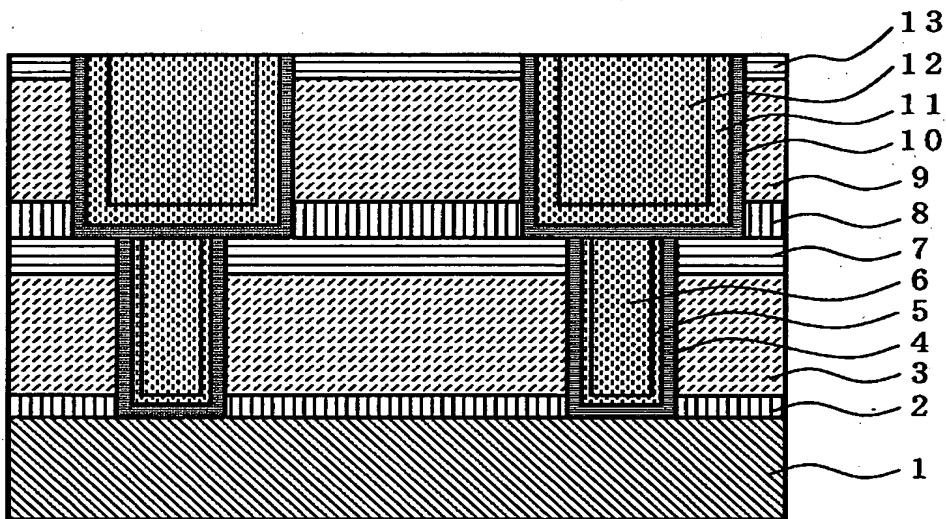
14, 15, 114, 115 フォトレジスト

103, 109 PAE膜

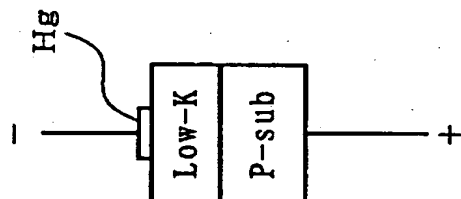
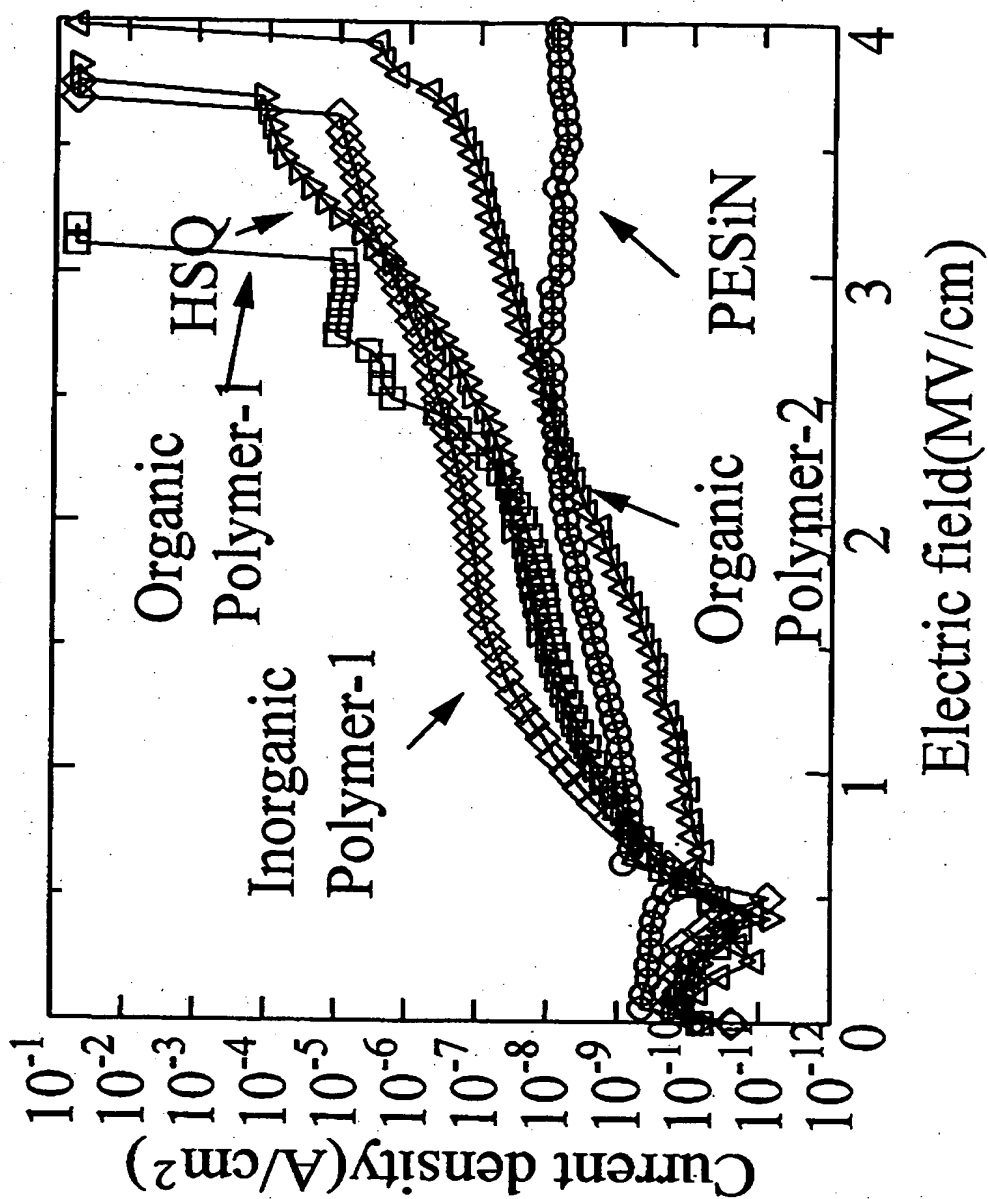
104, 110 TaN膜

【書類名】 図面

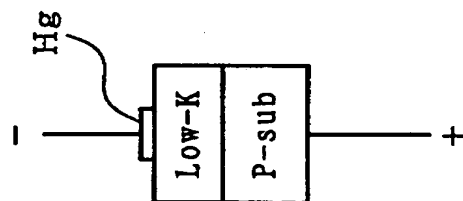
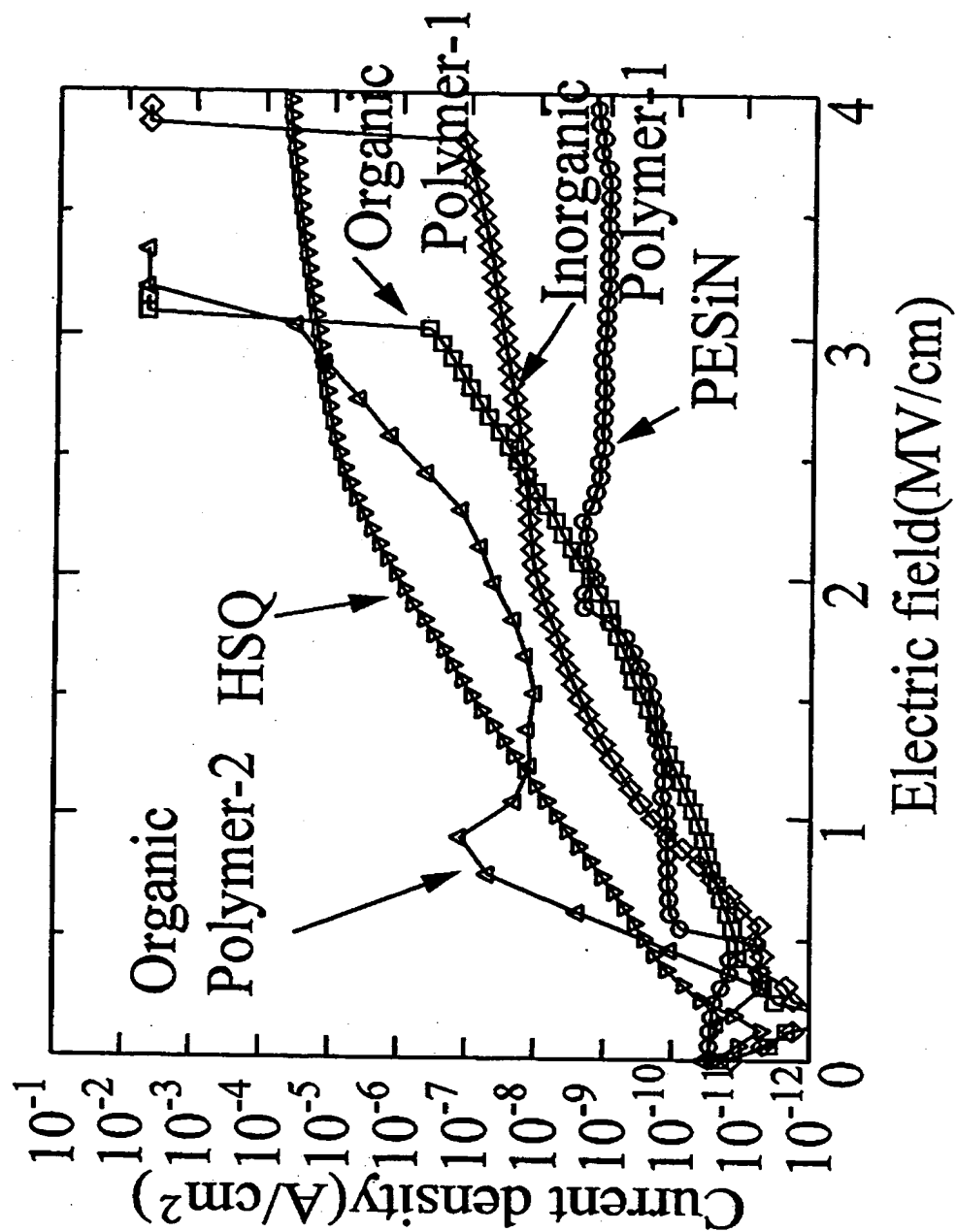
【図 1】



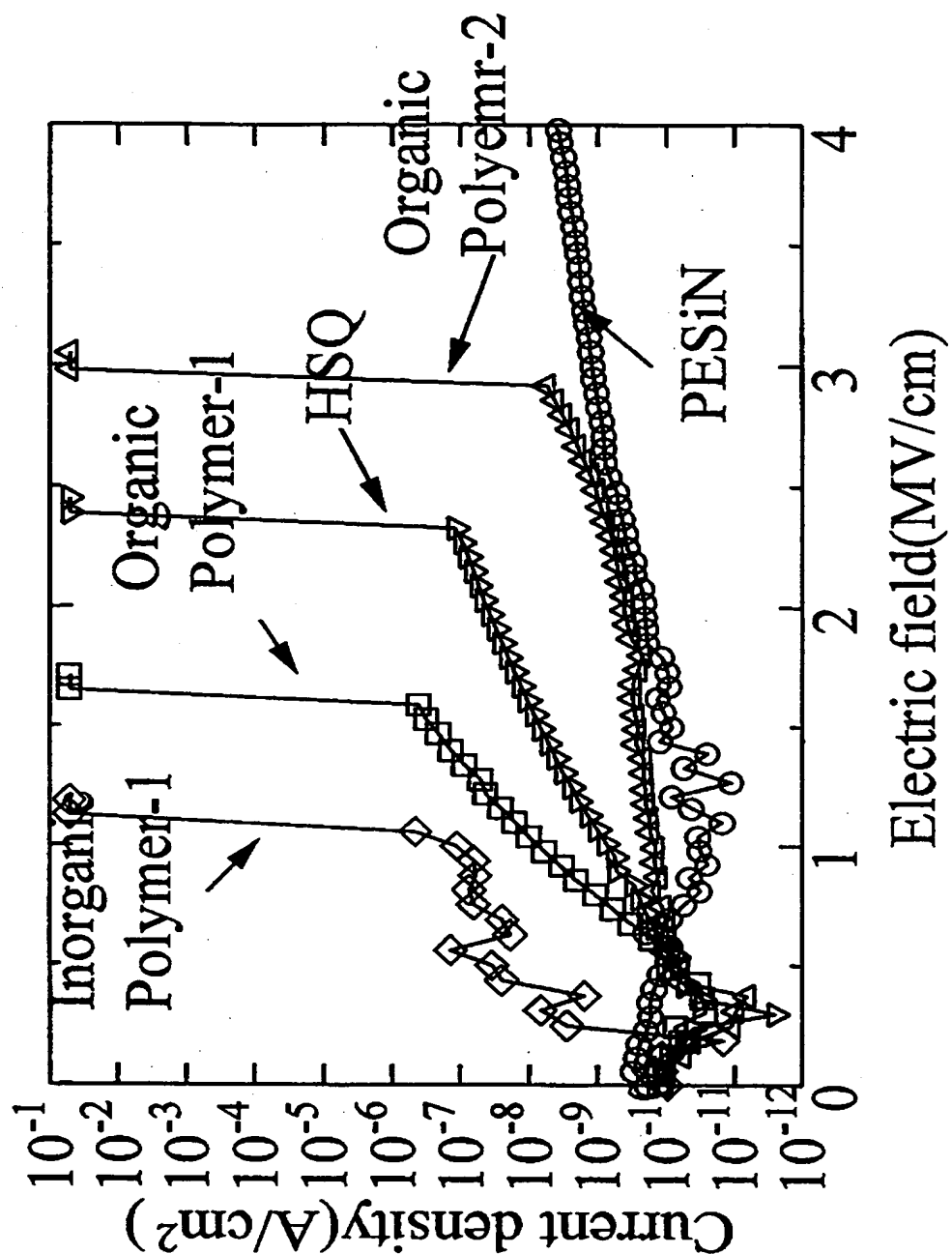
【図 2】



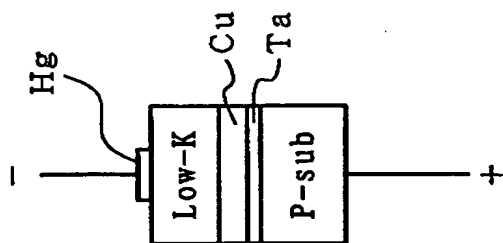
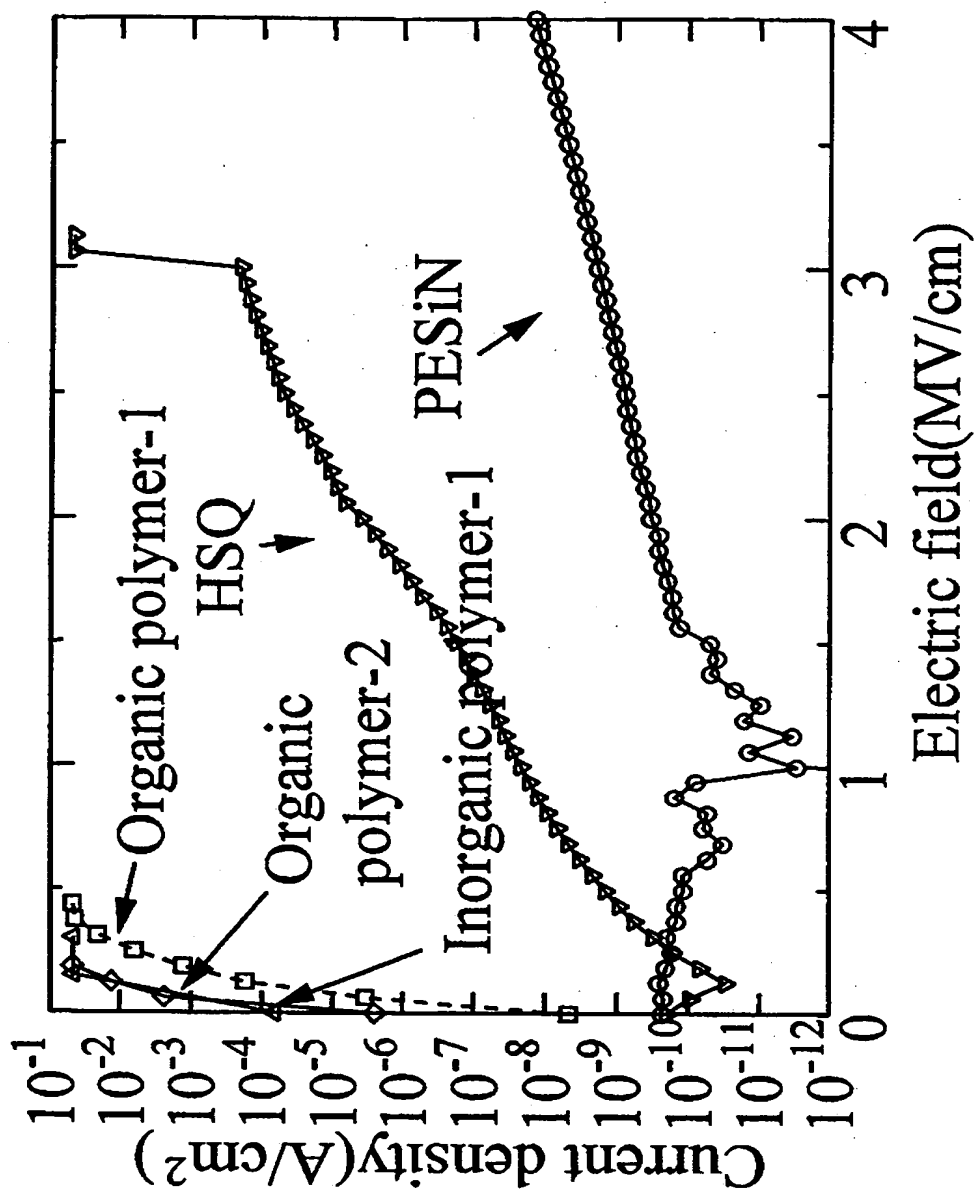
【图 3】



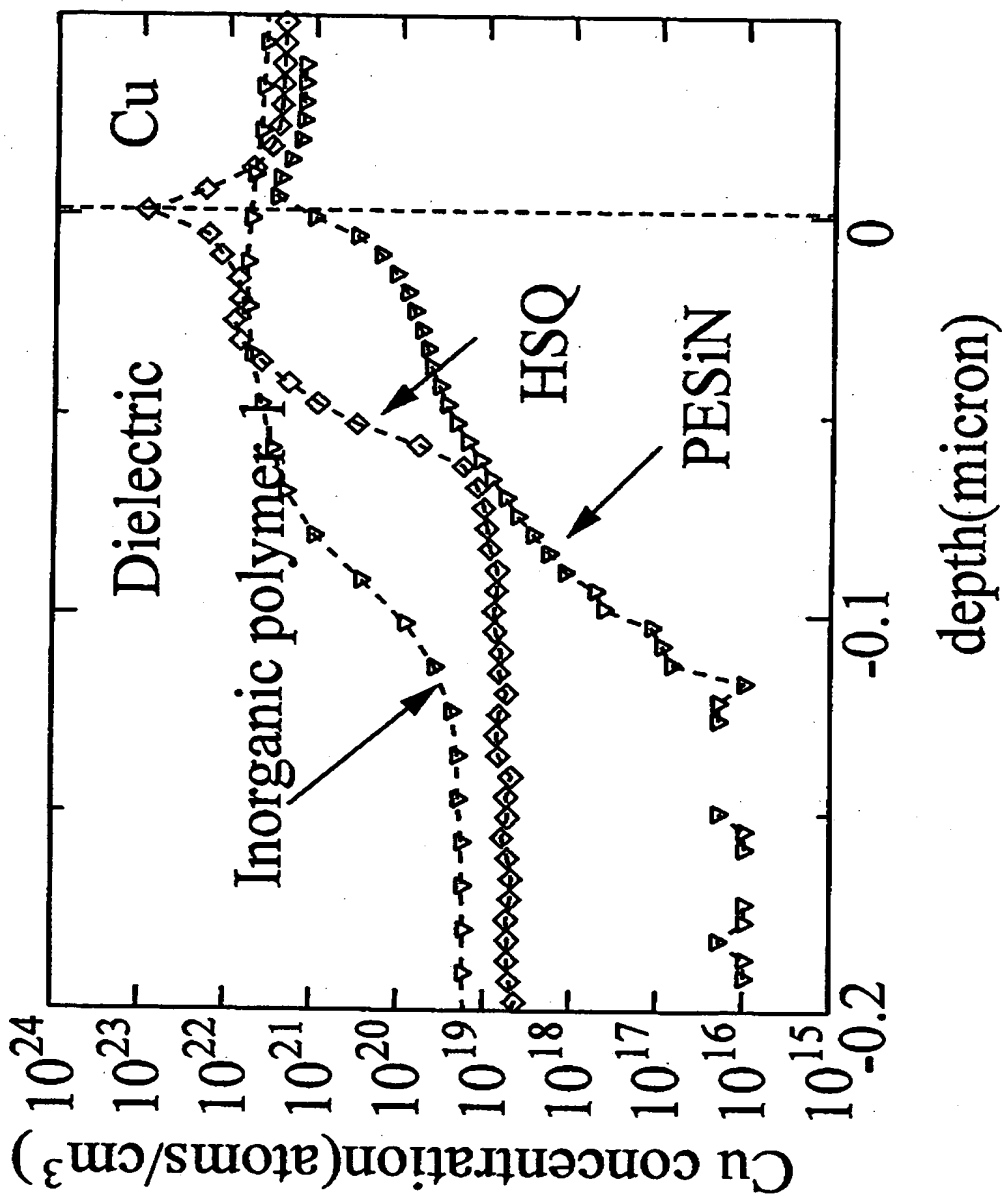
【图 4】



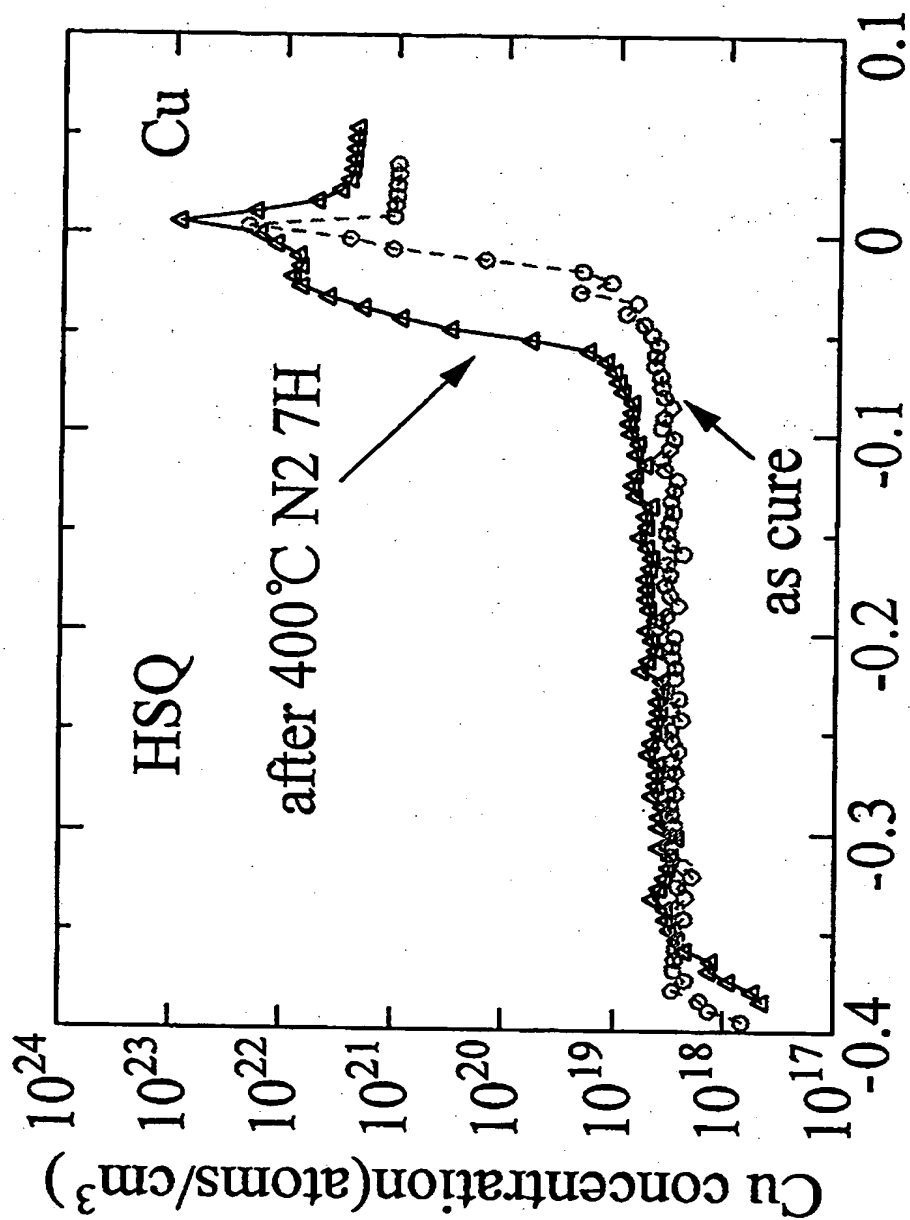
【図 5】



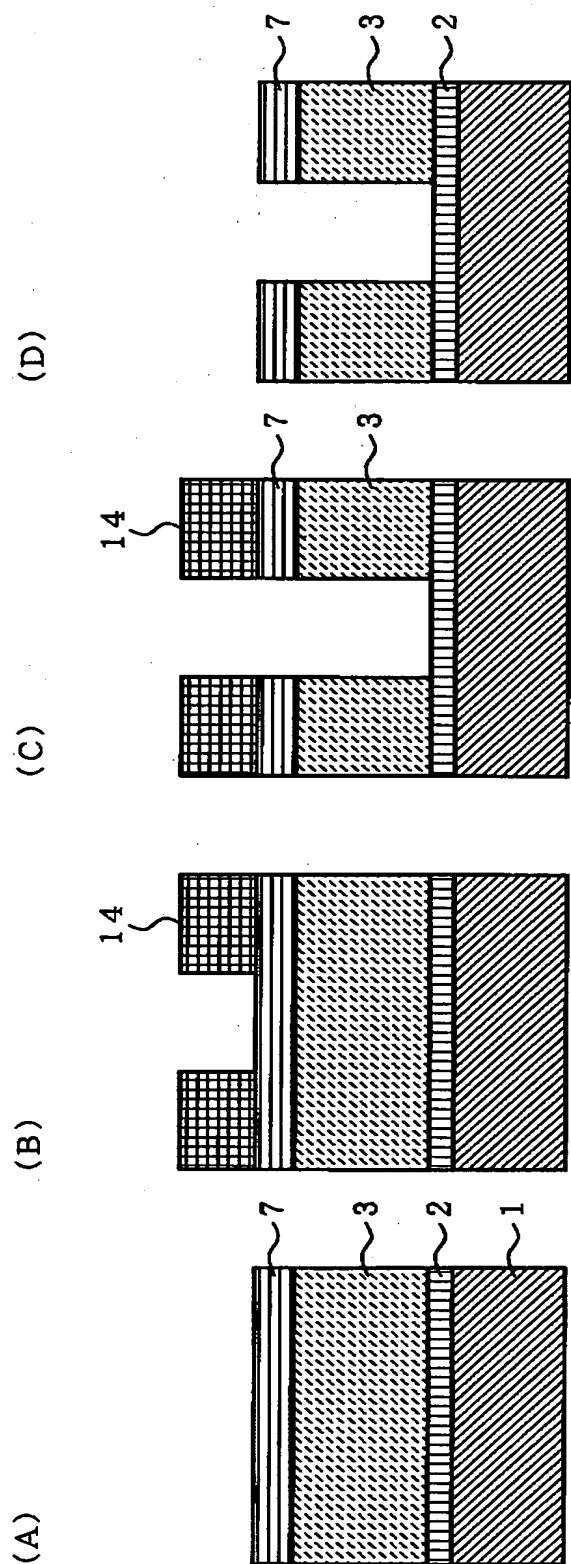
【图 6】



【図 7】

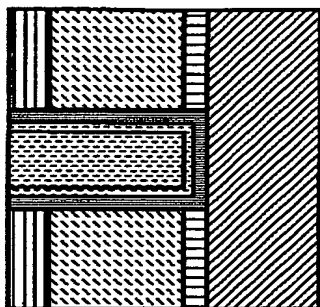


【図 8】

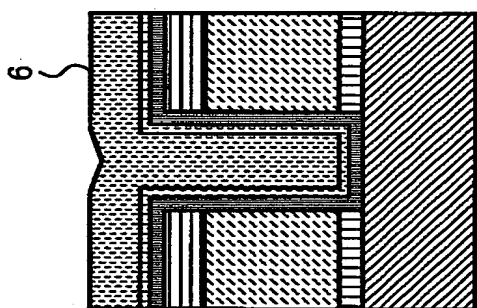


【図 9】

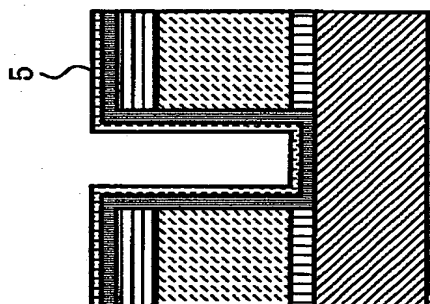
(H)



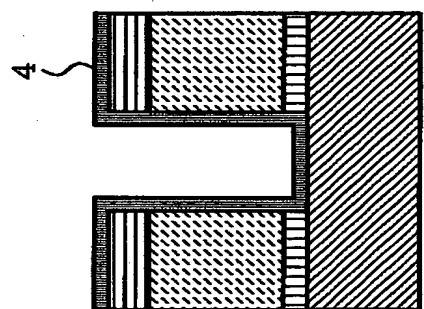
(G)



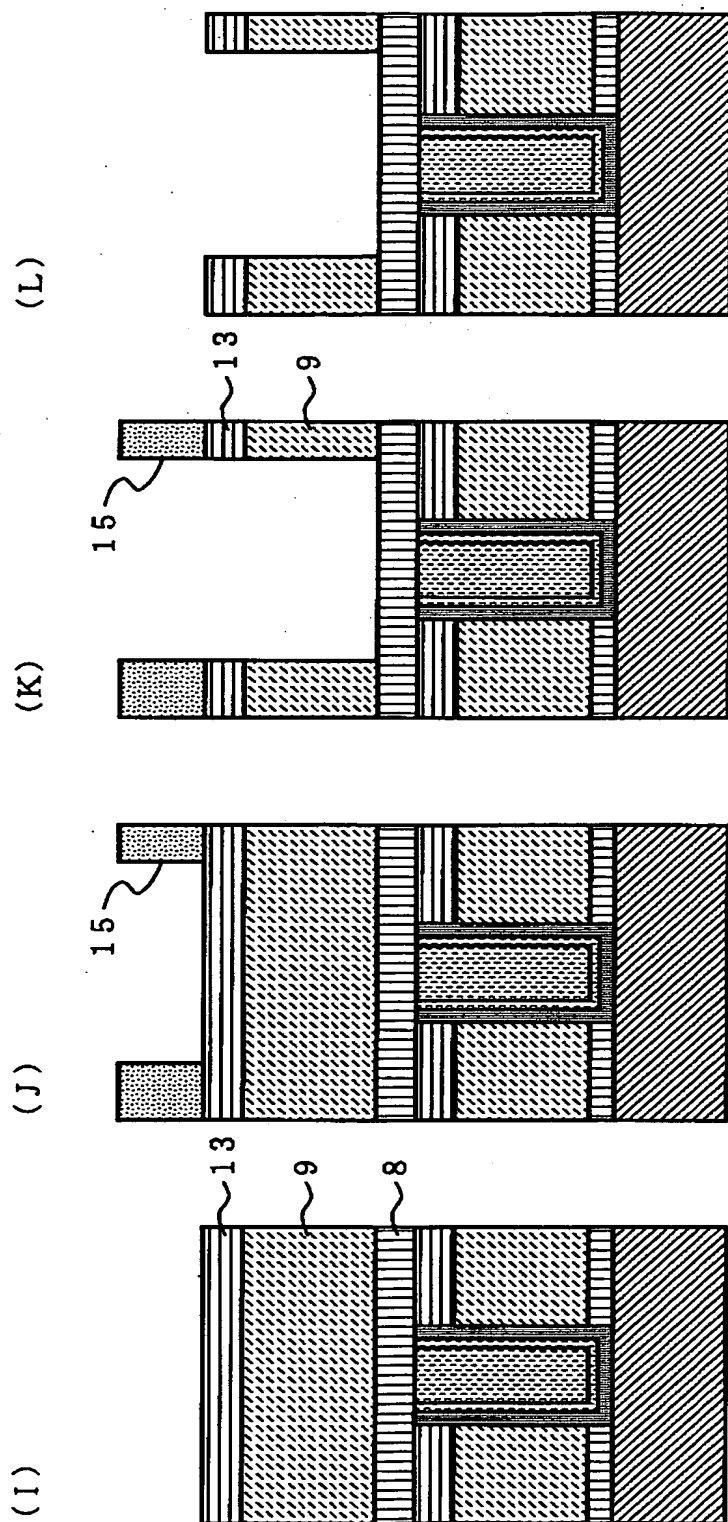
(F)



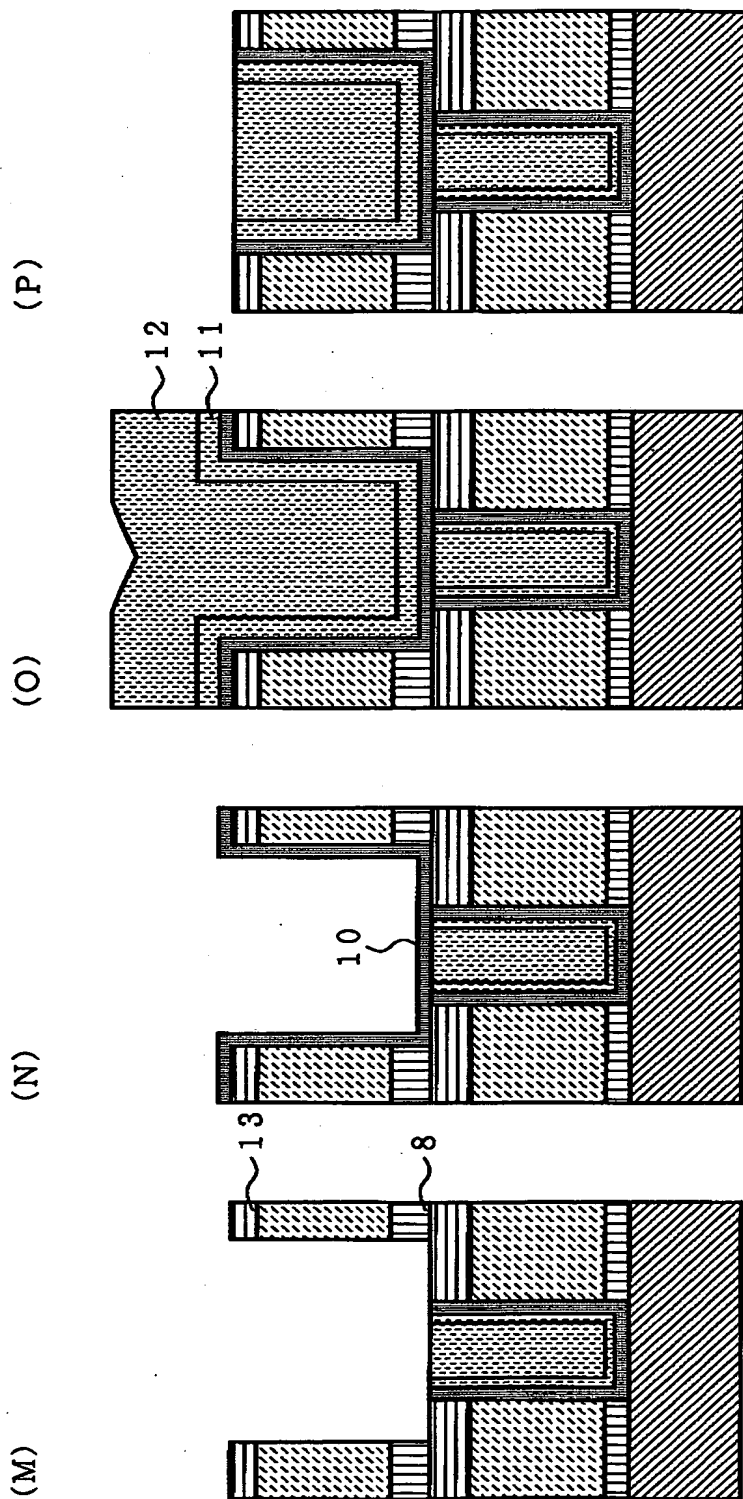
(E)



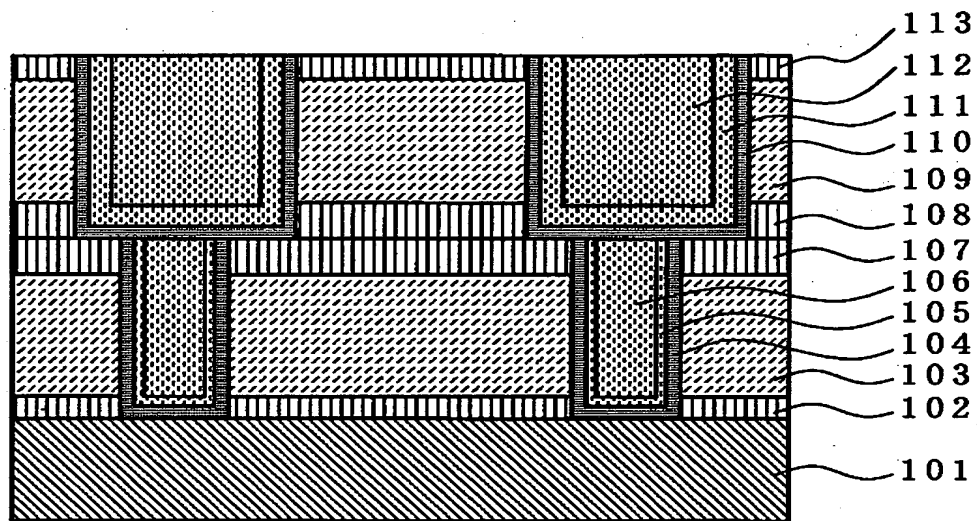
【図 10】



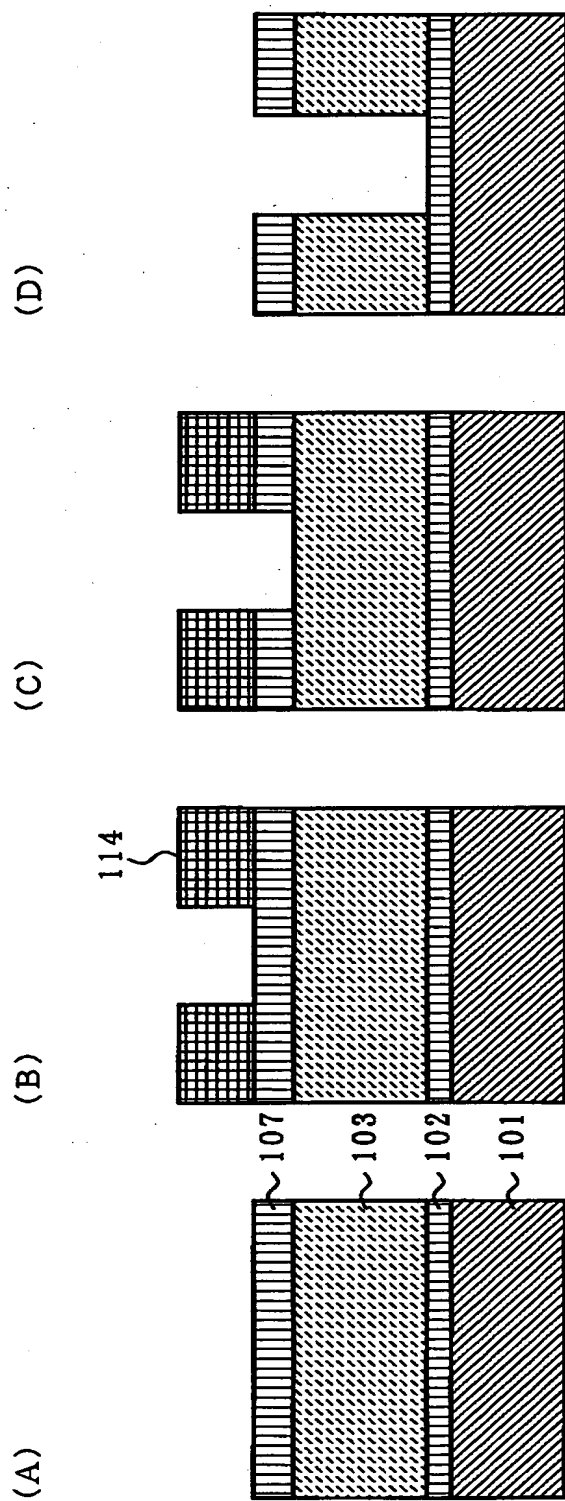
【図 11】



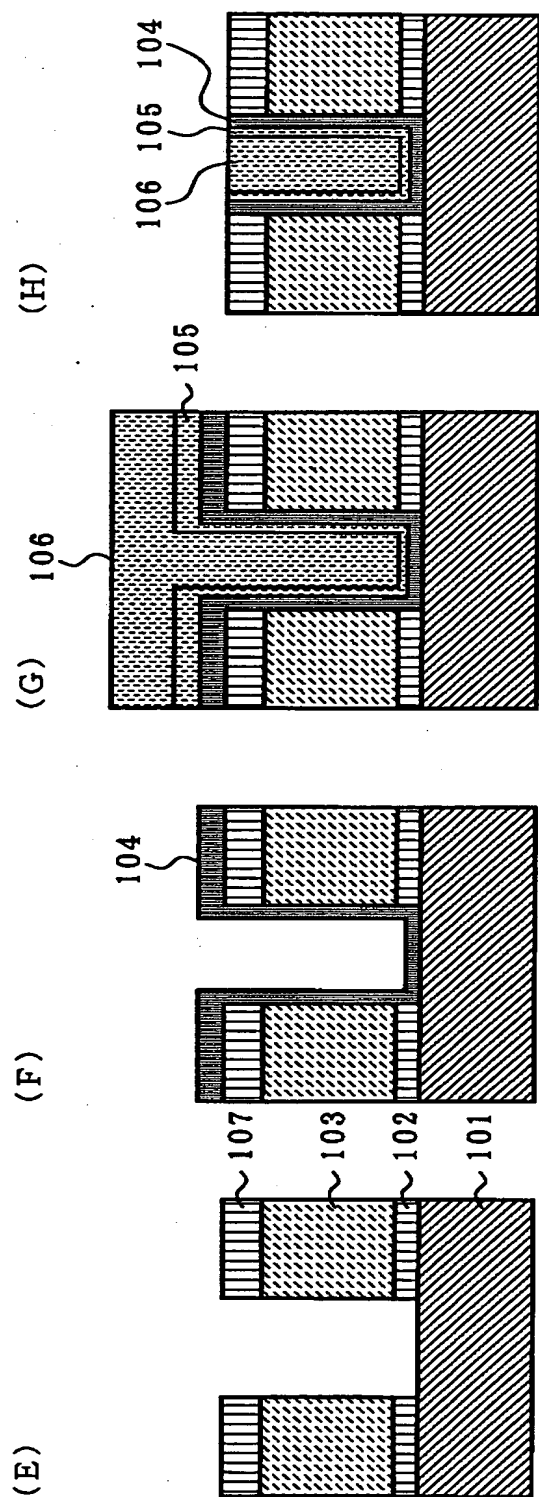
【図 12】



【図 1 3】

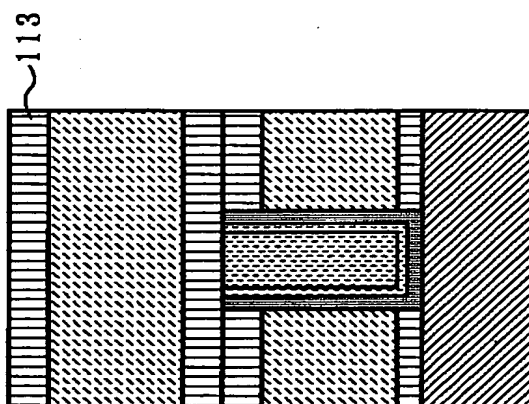


【図 1 4】

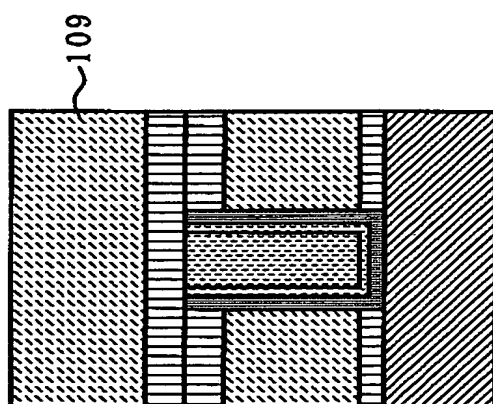


【図 1 5】

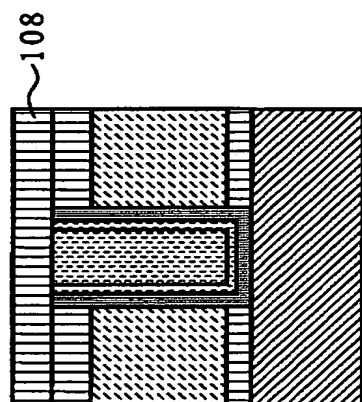
(K)



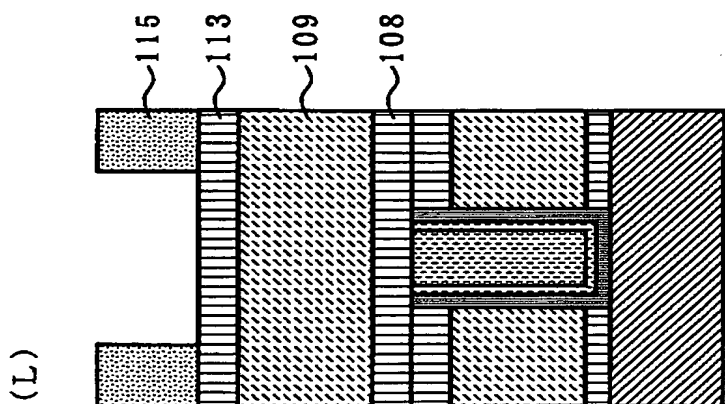
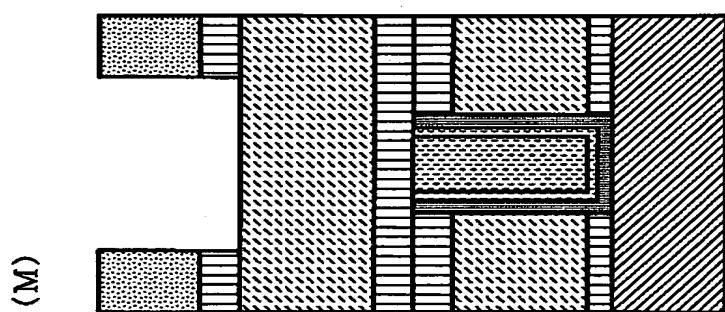
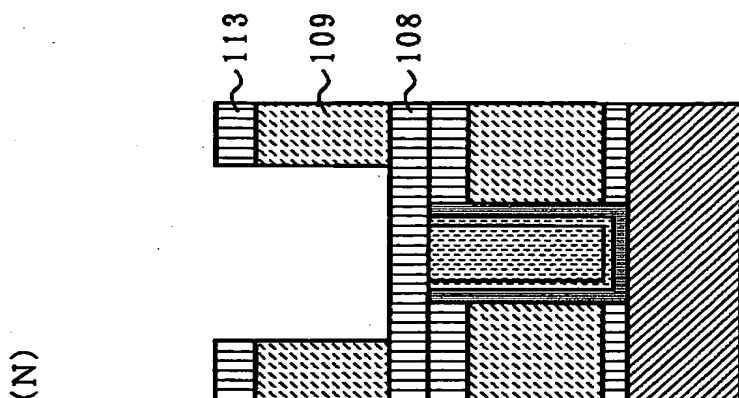
(J)



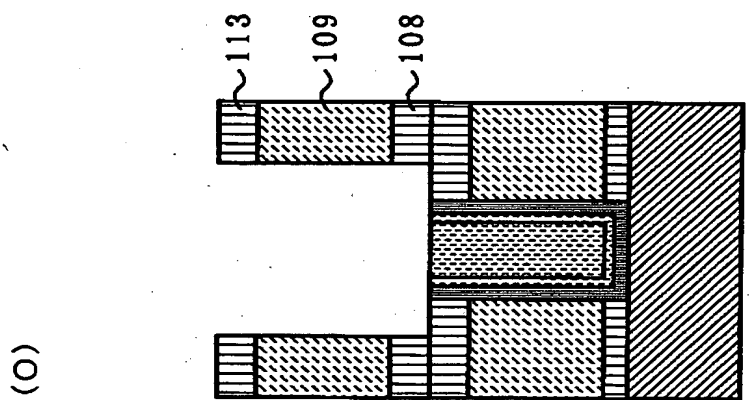
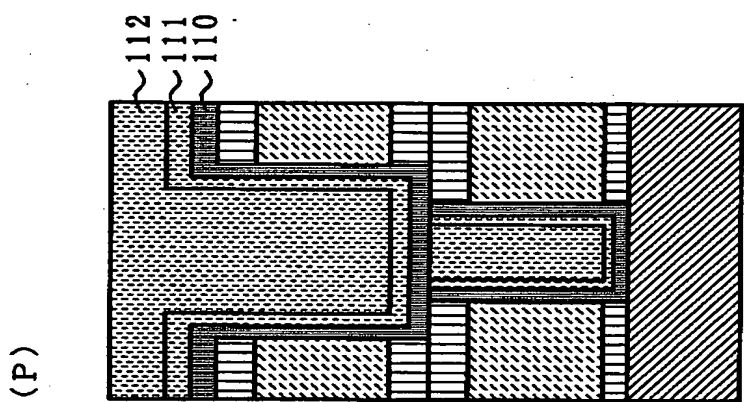
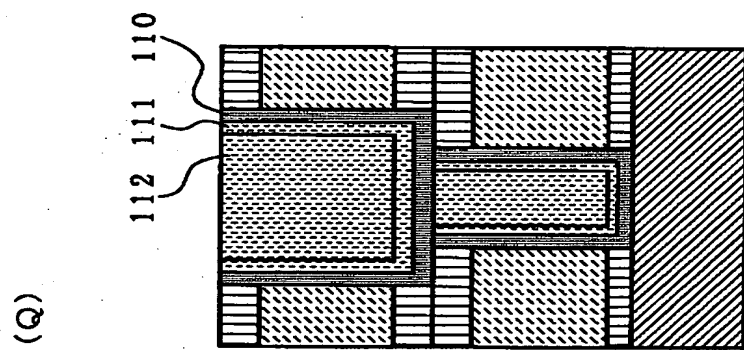
(I)



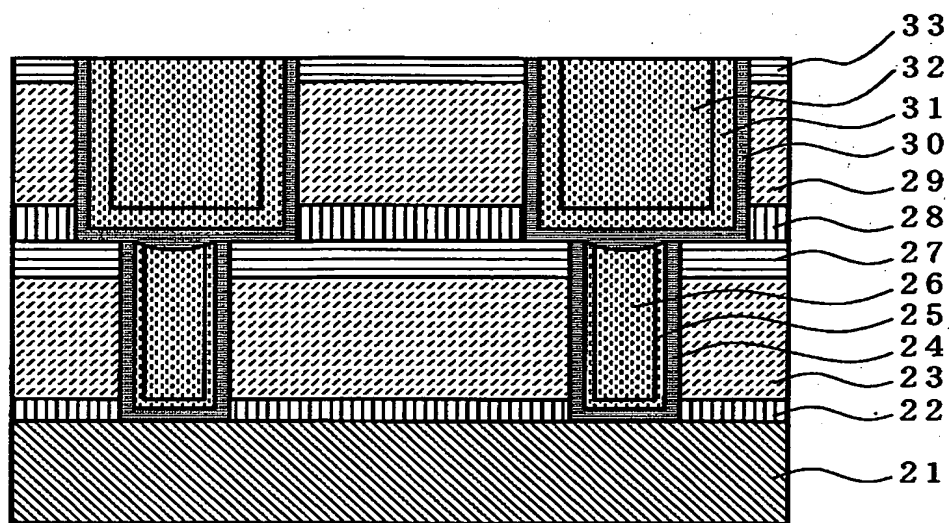
【図 16】



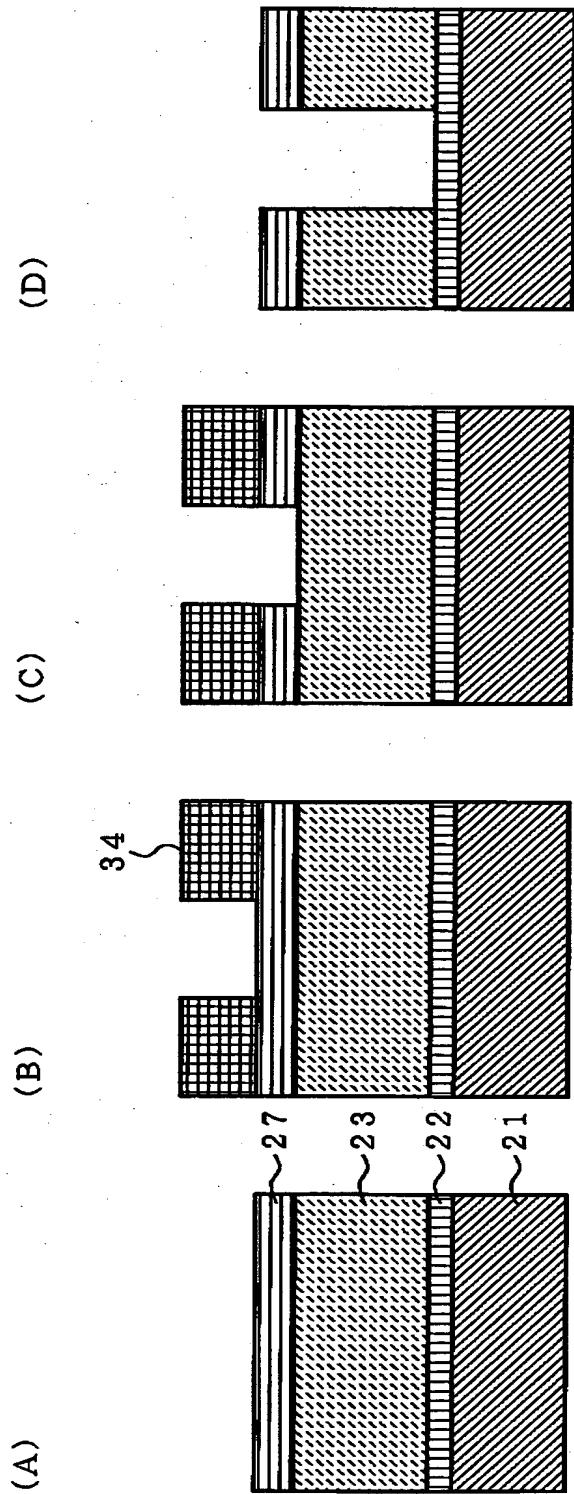
【図 17】



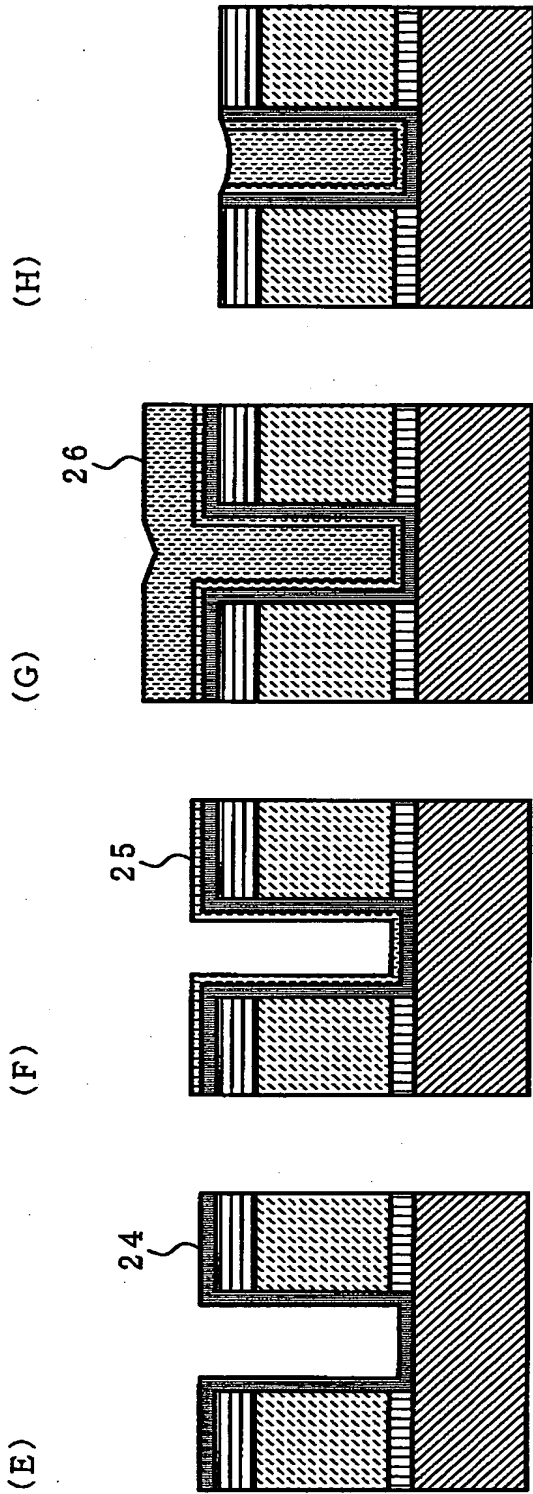
【図 18】



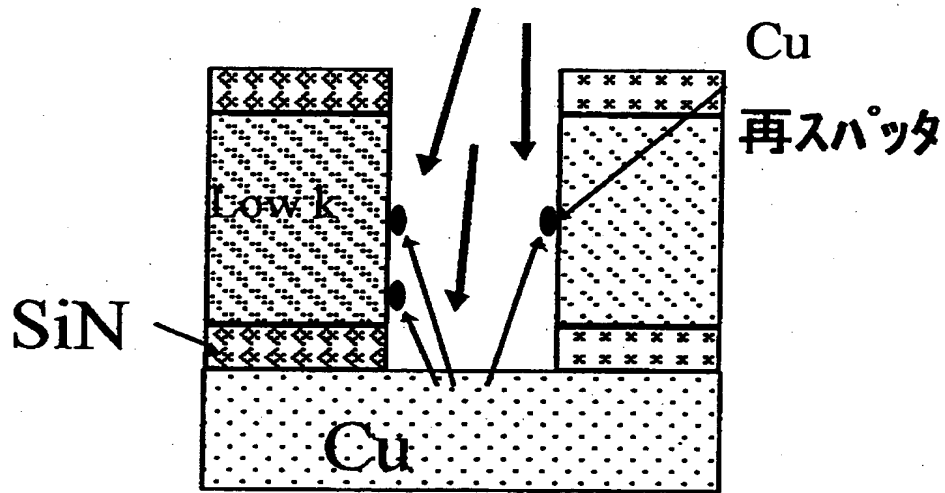
【図 1 9】



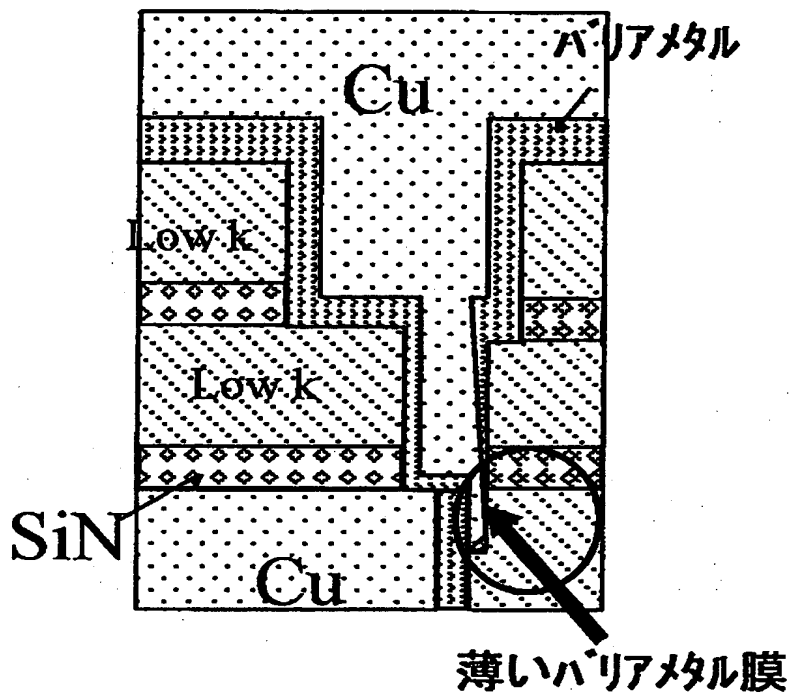
【図 2 0】



【図 2 1】



【図 2 2】



【書類名】 要約書

【要約】

【課題】 層間絶縁膜にCu拡散バリア性を備える半導体装置及びその製造方法を提供する。

【解決手段】 複数のCu配線を有する半導体装置において、Cu配線1とシードCu膜11、メッキCu膜12からなるCu配線とがHSQ (Hydrogen Silsesquioxane) 膜3によって分離され、HSQ膜3にはCu配線1とシードCu膜11、メッキCu膜12とを電氣的に接続するCuプラグを形成されている。Cuプラグの側壁には、HSQ膜3とCuプラグとの密着性を高めるための密着用メタルであるW (タングステン) 膜4が形成されている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社